

99 P 1897

B3



⑪ Numéro de publication : **0 481 881 A1**

⑫

DEMANDE DE BREVET EUROPEEN

⑳ Numéro de dépôt : 91402757.8

⑤① Int. Cl.⁵ : **G07F 7/10**

㉔ Date de dépôt : 15.10.91

⑦③ Priorité : 19.10.90 FR 9012986

④③ Date de publication de la demande :
22.04.92 Bulletin 92/17

⑧④ Etats contractants désignés :
DE ES GB IT NL

⑦① Demandeur : **GEMPLUS CARD
INTERNATIONAL**
avenue du Pic de Bertagne Parc d'activités de
la Plaine de Jouques
F-13420 Gemenos (FR)

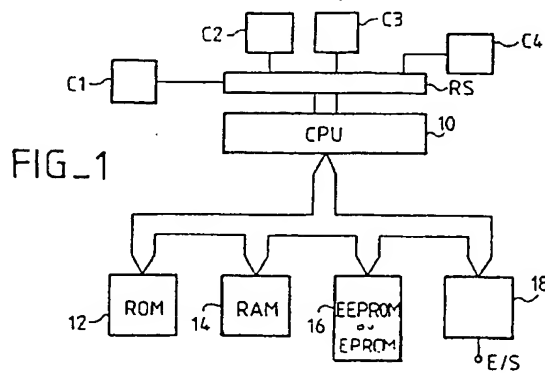
⑦② Inventeur : **Geronimi, François**
Cabinet Ballot-Schmit, 7, rue Le Sueur
F-75116 Paris (FR)
Inventeur : **Sourenian, Paul**
Cabinet Ballot-Schmit, 7, rue Le Sueur
F-75116 Paris (FR)

⑦④ Mandataire : **Schmit, Christian Norbert Marie
et al**
Cabinet Ballot-Schmit 7, rue Le Sueur
F-75116 Paris (FR)

⑤④ Circuit intégré à sécurité d'accès amélioré.

⑤⑦ L'invention concerne les circuits intégrés, et notamment les circuits dont on veut assurer la sécurité contre un usage frauduleux.

Les circuits concernés sont les circuits à microprocesseur comportant une mémoire de programme (12), une mémoire non volatile programmable (16), un port d'entrée sortie (18), et un registre (RS) mémorisant les signaux de détecteurs (C1 à C4) de conditions anormales. Ce registre est accessible par le microprocesseur. On prévoit des moyens pour vérifier l'état du registre immédiatement avant toute opération d'écriture ou effacement de la mémoire programmable, et immédiatement avant toute transmission de donnée vers l'extérieur par le port d'entrée-sortie, et des moyens pour interrompre le fonctionnement du microprocesseur si la vérification fait apparaître des conditions anormales.



L'invention concerne les circuits intégrés pour lesquels une sécurité de fonctionnement doit être assurée contre des tentatives d'utilisation frauduleuse.

C'est le cas notamment de circuits intégrés pour cartes à puces destinées par exemple à assurer des transactions monétaires, ou à permettre l'accès individualisé à des locaux protégés, etc.

Ces circuits intégrés incorporent des informations confidentielles, stockées dans des mémoires, par exemple des mémoires non volatiles programmables et effaçables électriquement. Il est nécessaire que ces informations ne soient pas transmises à l'extérieur du circuit intégré par des manoeuvres frauduleuses.

C'est pourquoi on prévoit en général dans le circuit intégré un certain nombre de capteurs dits capteurs de sécurité, dont la fonction est d'observer un certain nombre de conditions de fonctionnement ou d'environnement et de provoquer une interruption de fonctionnement du circuit lorsque des conditions anormales sont détectées.

Par exemple, il y a un capteur de fréquence observant la fréquence de fonctionnement du circuit et capable de fournir un signal si elle est au dessous d'un seuil déterminé (une fréquence trop basse permettrait à un fraudeur d'espionner plus facilement le comportement du circuit ou de la carte).

De même, il peut y avoir un capteur de tension d'alimentation fournissant un signal si cette tension est trop faible ou trop forte; et encore un capteur de lumière, détectant si le boîtier du circuit intégré est ouvert en vue d'accéder par l'observation à des informations confidentielles. Egalement, toujours à titre d'exemple, un capteur de passivation (présence d'une couche de passivation au dessus du circuit), un capteur de température, etc.

Par conséquent, plusieurs capteurs de sécurité matérielle sont prévus et peuvent chacun délivrer un signal logique représentant l'apparition d'un défaut.

Dans les circuits intégrés à microprocesseur, il est normal de prévoir que le contrôle de sécurité soit effectué par le microprocesseur du circuit lui-même.

On a déjà proposé que les signaux logiques issus des capteurs de sécurité matérielle soient mis en mémoire dans un registre directement contrôlé par le microprocesseur; ce registre est initialement mis à zéro; l'apparition d'un bit non nul à une position du registre signifie qu'une condition anormale de fonctionnement a été observée; le basculement du registre est en principe irréversible, c'est-à-dire qu'un bit stocké dans le registre ne disparaît pas, même si les conditions anormales disparaissent; en pratique; le registre ne peut être remis à zéro que lors de la réinitialisation du circuit intégré (débranchement et remise sous tension).

En principe, les circuits fonctionnent de la manière suivante : au moment de la mise sous ten-

sion, le microprocesseur exécute un programme d'initialisation; puis, il effectue un test de sécurité consistant à vérifier l'état du registre de sécurité; si tous les bits sont à zéro, le fonctionnement peut continuer; sinon, le fonctionnement est définitivement interrompu et le circuit doit être mis hors tension.

On s'est cependant rendu compte que la sécurité était insuffisante car des changements ultérieurs pouvaient n'être plus détectés.

Une solution possible serait de prévoir que les programmes de fonctionnement de la carte contiennent tous des instructions de vérification périodique de l'état du registre. Mais, le problème est qu'on va interférer fortement avec le déroulement du programme normal de fonctionnement et qu'il est difficile de prévoir un test du registre aussi souvent qu'il serait nécessaire.

On pourrait aussi prévoir que le registre est connecté à une broche d'interruption de l'unité centrale du microprocesseur, mais ces broches ne sont pas nombreuses et doivent être réservées à d'autres usages.

Selon l'invention, on prévoit dans le circuit intégré des moyens pour tester l'état du registre d'une part avant chaque transmission d'information à l'extérieur du circuit intégré, et d'autre part avant chaque modification d'information dans une mémoire faisant partie du circuit intégré (en général, cette mémoire sera la mémoire non volatile programmable électriquement ou effaçable et programmable électriquement).

L'invention part en effet de la remarque que les circuits intégrés à microprocesseur sont commandés par une mémoire morte (ROM) de programme qui comporte un certain nombre de sous programmes, parmi lesquels un sous programme d'écriture ou d'effacement dans la mémoire, et un sous programme de transmission d'information vers l'extérieur: il est alors facile de placer en tête de chacun de ces sous programmes des instructions de vérification de l'état du registre de sécurité.

Ces programmes sont fréquemment appelés et ils correspondent justement à des actions pour lesquelles la sécurité est importante : risque de transmission d'informations confidentielles à l'extérieur, risque d'écriture ou d'effacement de zones non autorisées de la mémoire. Avec un petit nombre d'instructions de programme, le registre peut être testé et peut interrompre le sous programme dès son début ou immédiatement avant son début.

Par exemple, une mémoire de programme de carte à puce comporte 5000 octets d'instructions exécutables par le microprocesseur; les programmes d'écriture ou d'effacement ou de transmission d'information à l'extérieur comportent par exemple une centaine d'instructions chacun (pour écrire ou transmettre un octet); une vingtaine d'octets supplémentaires peuvent permettre le test avant ces sous programmes.

Ainsi, la mémoire ne consommera qu'un petit nombre d'octets supplémentaires pour assurer une sécurité très efficace puisque la vérification a lieu avant les opérations stratégiques d'écriture et de transmission d'information.

D'autres caractéristiques et avantages de l'invention apparaîtront à la lecture de la description détaillée qui suit et qui est faite en référence aux dessins annexés dans lesquels :

- la figure 1 représente l'organisation générale d'un circuit intégré à microprocesseur concerné par l'invention;
- la figure 2 représente l'organisation des moyens selon l'invention.

Le circuit intégré comporte un microprocesseur, c'est-à-dire une unité centrale de traitement (CPU) 10, et des ressources associées qui peuvent être :

- une mémoire morte 12 (ROM) contenant des instructions exécutables par le microprocesseur;
- une mémoire vive de travail (RAM) 14;
- une mémoire non volatile 16 programmable électriquement (EPROM) et de préférence aussi effaçable électriquement (EEPROM); cette mémoire peut comprendre des données et éventuellement des instructions pour le microprocesseur; elle peut comprendre notamment des données dont le contenu ne doit pas être touché, et des données confidentielles qui ne doivent pas être transmises à l'extérieur du circuit;
- des ports d'entrée sortie 18 permettant notamment de transmettre des informations sur des broches de connexion extérieures E/S du circuit intégré (en général la transmission sera en série sur une seule broche pour minimiser le nombre de broches du circuit, tout au moins dans les applications de cartes à puces).

De plus, le microprocesseur est directement connecté à des registres dont il peut lire le contenu et qu'il peut remettre à zéro.

Parmi ces registres, il y a un registre RS dont les entrées sont connectées à divers capteurs de sécurité (C1 C2, C3, C4 par exemple) tels que ceux qu'on a mentionnés précédemment.

Comme on l'a expliqué, ces capteurs sont destinés à vérifier les conditions d'environnement et de fonctionnement du circuit, dans le but d'empêcher des opérations frauduleuses qui deviendraient possibles si ces conditions devenaient anormales. Des exemples de capteurs ont été donnés ci-dessus.

Ce registre RS sera testé selon l'invention à chaque fois que le programme d'application de la carte (en mémoire ROM ou EEPROM) passera par une opération de transmission d'information vers l'extérieur (par le plot E/S), et aussi à chaque fois que le programme passera par une opération de modification du contenu de la mémoire non volatile 16.

Ces opérations sont régies par le microprocesseur, par l'intermédiaire de sous-programmes

stockés dans la mémoire morte ROM 12 qui gère l'ensemble du fonctionnement de la carte. L'organisation de la mémoire morte 12 est symboliquement représentée sur la figure 2.

La mémoire est adressée séquentiellement, de sorte que les instructions mémorisées à des adresses successives sont exécutées successivement, sauf instructions de saut à un emplacement différent de la mémoire.

Une zone de départ de la mémoire, Z0, contient par exemple un programme d'initialisation permettant au microprocesseur d'effectuer des opérations préliminaires après la mise sous tension (opérations parmi lesquelles se trouve notamment la remise à zéro du registre RS). De préférence une opération de test du registre RS est effectuée à la fin du programme d'initialisation. A ce stade, les conditions d'environnement et de fonctionnement du circuit devraient en effet être normales pour que le circuit soit autorisé à fonctionner. Si le test est positif (registre RS à zéro, pas de détection de conditions anormales), le fonctionnement du circuit intégré se poursuit. Si le test est négatif (le registre contient un bit de détection d'une condition anormale), une instruction de branchement vers une zone ZF de la mémoire ROM est exécutée. Dans cette zone ZF est placée une instruction ou une routine plaçant le microprocesseur en attente, attente dont il ne peut sortir que par réinitialisation (débranchement et remise sous tension par exemple).

D'autres zones de la mémoire de programme 12 permettent d'effectuer des opérations diverses. Le microprocesseur peut accéder à la première adresse de chacune de ces zones lorsqu'il reçoit une commande pour exécuter une certaine opération. La zone contient alors la série d'instructions nécessaires à la réalisation de cette opération. C'est par exemple un programme d'application placé dans la mémoire EEPROM 16, programme exécutable par le microprocesseur, qui appelle, quand il en a besoin, des sous programmes placés dans les zones de la mémoire morte 12.

Parmi les opérations possibles il y a la transmission à l'extérieur d'un mot de n bits (par exemple un octet de 8 bits) par le port d'entrée sortie 18. Cette opération est effectuée à l'aide d'un sous programme contenu dans une zone Z1 de la mémoire ROM. Ce sous programme est appelé chaque fois qu'un mot doit être transmis.

Une autre opération exécutée par un sous programme est l'opération d'écriture d'un mot ou d'un bit dans la mémoire programmable non volatile 16. Les instructions correspondantes forment un sous programme placé dans une zone Z2 de la mémoire morte. De même, une opération d'effacement de tout ou partie de la mémoire programmable 16 est effectuée par un sous programme placé dans une zone Z3 de la mémoire morte 12.

Selon l'invention, on prévoit que les premières instructions des zones Z1, Z2 et Z3 sont des instructions de vérification de l'état du registre RS, ce registre étant directement accessible en lecture par le microprocesseur. Si le résultat est positif (conditions normales détectées par les capteurs C1 à C4), le sous programme de la zone Z1, Z2 ou Z3 respectivement se déroule et l'opération correspondante (transmission, écriture ou effacement respectivement) est effectuée; sinon une instruction de branchement vers la zone ZF est exécutée et le microprocesseur est mis en état d'attente définitive.

Etant donné que les instructions nécessaires à la vérification du registre n'occupent que quelques dizaines d'octets, placés en début de deux ou trois zones de sous programmes au maximum, on voit que l'on ne consomme pas trop de mémoire ROM pour assurer une sécurité excellente. Cela est important car la place disponible en mémoire ROM est limitée et doit être réservée à de nombreuses autres opérations essentielles de gestion du fonctionnement du microprocesseur.

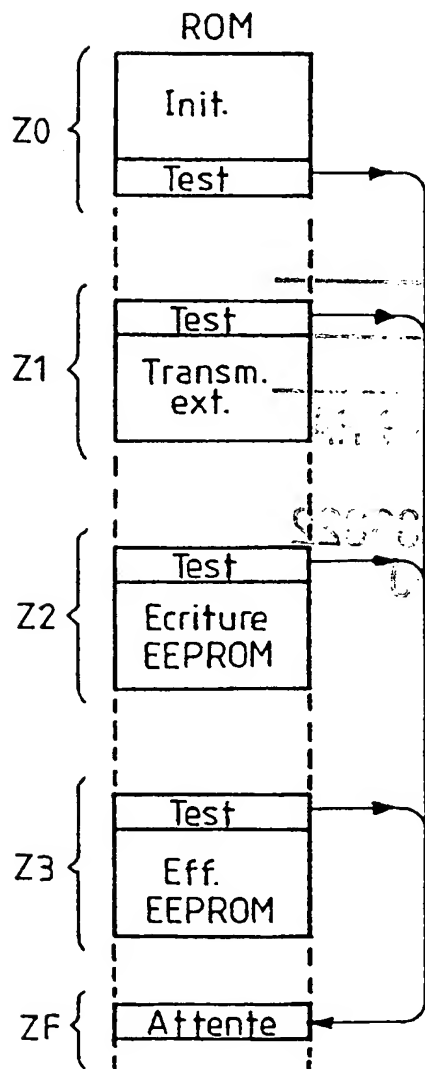
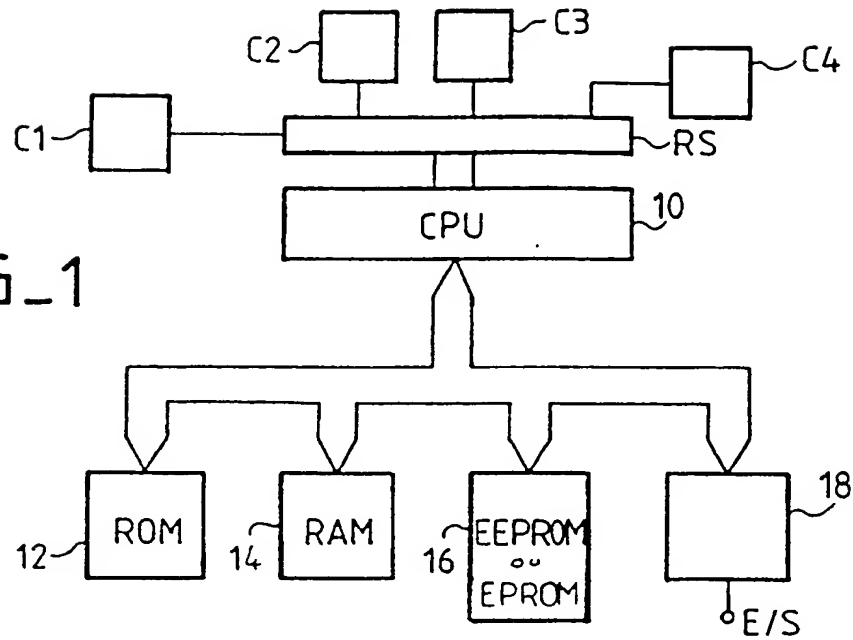
Revendications

1. Circuit intégré à microprocesseur, comportant une mémoire de programme (12), une mémoire non volatile programmable (16), au moins un port d'entrée-sortie (18) pour la connexion vers l'extérieur du circuit, des capteurs de sécurité (C1 à C4) pour détecter des conditions anormales de fonctionnement ou d'environnement, et un registre (RS) accessible par le microprocesseur et susceptible de mémoriser une information sur l'état des capteurs, caractérisé en ce qu'il comporte des moyens pour vérifier l'état du registre immédiatement avant toute opération d'écriture ou effacement de la mémoire programmable, ou immédiatement avant toute transmission de donnée vers l'extérieur par le port d'entrée-sortie, et des moyens pour interrompre le fonctionnement du microprocesseur si la vérification fait apparaître des conditions anormales.
2. Circuit intégré selon la revendication 1, caractérisé en ce qu'il comporte une zone de mémoire de programme (Z1) réservée pour un sous programme de transmission d'une information sur le port d'entrée sortie, le début de cette zone comportant des instructions exécutables par le microprocesseur pour effectuer la vérification du registre.
3. Circuit intégré selon l'une des revendications 1 et 2, caractérisé en ce qu'il comporte une zone de mémoire (Z2) réservée pour un sous programme d'écriture dans la mémoire programmable, le

début de cette zone comportant des instructions exécutables par le microprocesseur pour effectuer la vérification du registre.

4. Circuit intégré selon l'une des revendications 1 à 3, caractérisé en ce qu'il comporte une zone de mémoire (Z3) réservée pour un sous programme d'effacement de tout ou partie de la mémoire programmable, le début de cette zone comportant des instructions exécutables par le microprocesseur pour effectuer la vérification du registre.
5. Circuit intégré selon l'une des revendications 2 à 4, caractérisé en ce que les instructions de vérification du registre comportent, en cas de résultat négatif de la vérification, une instruction de branchement vers un état d'attente du microprocesseur, état dont le microprocesseur ne peut sortir que par réinitialisation.

FIG_1



FIG_2



Office européen
des brevets

RAPPORT DE RECHERCHE EUROPEENNE

Numero de la demande

EP 91 40 2757

DOCUMENTS CONSIDERES COMME PERTINENTS			
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	Revendication concernée	CLASSEMENT DE LA DEMANDE (Int. Cl.5)
A	EP-A-0 341 712 (OKI ELEKTRIC INDUSTRY LTD) * abrégé; figures 1-5 * * colonne 5, ligne 3 - colonne 6, ligne 30 * ---	1,2	G07F7/10
A	DE-A-3 706 466 (SIEMENS AG) * figure 1 * * colonne 2, ligne 22 - ligne 52 * ---	1,2	
A	US-A-4 939 353 (IIJIMA) * figures 1-7 * * colonne 1, ligne 55 - colonne 2, ligne 29 * -----	1-3,5	
<p>DOCKET NO: <u>1999P1897</u></p> <p>SERIAL NO: _____</p> <p>APPLICANT: <u>Jeig Shepards</u></p> <p>LERNER AND GREENBERG P.A.</p> <p>P.O. BOX 2480</p> <p>HOLLYWOOD, FLORIDA 33022</p> <p>TEL. (954) 925-1100</p>			DOMAINES TECHNIQUES RECHERCHES (Int. Cl.5)
			G07F G06K
Le présent rapport a été établi pour toutes les revendications			
Lieu de la recherche LA HAYE		Date d'achèvement de la recherche 16 DECEMBRE 1991	Examinateur WEISS P.
<p>CATEGORIE DES DOCUMENTS CITES</p> <p>X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire</p> <p>T : théorie ou principe à la base de l'invention E : document de brevet antérieur, mais publié à la date de dépôt ou après cette date D : cité dans la demande I : cité pour d'autres raisons & : membre de la même famille, document correspondant</p>			

EPO FORM 1503 (03.91) (P0402)